

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008005

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 29/78

(21)Application number : 2002-015066

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.01.2002

(72)Inventor : HARADA YOSHIHISA

(30)Priority

Priority number : 2001 299478

Priority date : 21.06.2001

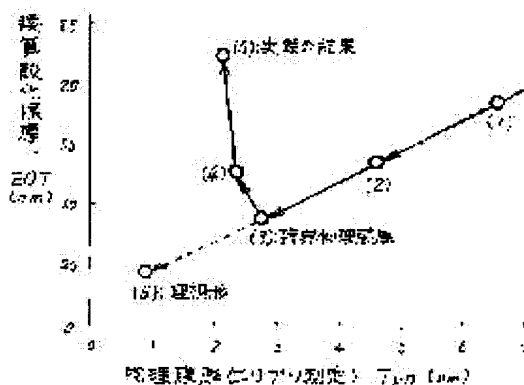
Priority country : US

(54) SEMICONDUCTOR DEVICE EQUIPPED WITH INSULATING FILM HAVING HIGH DIELECTRIC CONSTANT

(57)Abstract:

PROBLEM TO BE SOLVED: To form a gate insulating film having a thin equivalent oxide-film thickness(EOT) and a smooth surface in a semiconductor device having a high dielectric insulating film (high-K).

SOLUTION: When diffusion preventing films exist in both the upper and lower interfaces of the high-K film, the physical film thickness of the high-K film must be adjusted to 2.4-5.0 nm. When a diffusion preventing film exists in either the upper or lower interface, the physical film thickness must be adjusted to 2.8-5.0 nm. When no diffusion preventing film exists in both the upper and lower interfaces, the physical film thickness must be adjusted to 3.2-5.0 nm. In addition, when a silicon nitride film exists as a diffusion preventing film in the interface between the high-K film and a silicon substrate, and a nitrogen-containing diffusion preventing film exists in the interface between the high-K film and an electrode, an ideal stable EOT and a low leakage current characteristic can be realized by adjusting the EOT to ≥ 0.7 nm.



LEGAL STATUS

[Date of request for examination]

12.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-8005/

(P2003-8005A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テマコード* (参考)

3 0 1 G 5 F 1 4 0

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願2002-15066(P2002-15066)

(22) 出願日 平成14年1月24日 (2002.1.24)

(31) 優先権主張番号 6 0 / 2 9 9 4 7 8

(32) 優先日 平成13年6月21日 (2001.6.21)

(33) 優先権主張国 米国 (U S)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 原田 佳尚

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

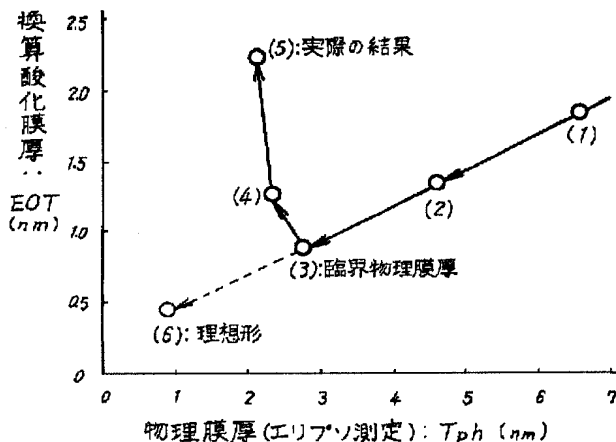
最終頁に続く

(54) 【発明の名称】 高誘電率絶縁膜を有する半導体装置

(57) 【要約】

【課題】 高誘電率絶縁膜 (High-K) を有する半導体装置において、薄い換算酸化膜厚 (EOT) と平滑な表面のゲート絶縁膜を可能にする事を目的とする。

【解決手段】 High-K膜の上界面と下界面どちらにも拡散防止膜がある場合には、物理膜厚を2.4 nm以上5.0 nm以下の範囲にする必要がある。上界面もしくは下界面どちらか一方に拡散防止膜がある場合には、物理膜厚を2.8 nm以上5.0 nm以下の範囲にする必要がある。上界面にも下界面どちらにも拡散防止膜がない場合には、物理膜厚を3.2 nm以上5.0 nm以下の範囲にする必要がある。また、High-K膜とSi基板界面には拡散防止膜としてのSi窒化膜が存在し、かつ、High-K膜と電極界面には窒素を含む拡散防止膜が存在する場合には、EOTが0.7 nm以上で使用するにより、理想的な安定したEOTと低いリーク電流特性を実現できる。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された拡散防止機能を有する高誘電体 A からなる第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された高誘電体 B からなる第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成された拡散防止機能を有する高誘電体 C からなる第 3 の絶縁膜と、前記第 3 の絶縁膜上に形成されたゲート電極とを備えた半導体装置において、

前記第 1 の絶縁膜と前記第 2 の絶縁膜と前記第 3 の絶縁膜との総和からなる高誘電率絶縁膜の膜厚が 2.4 nm 以上であることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記ゲート電極はシリコン以外の金属で形成されて、前記高誘電率絶縁膜の換算酸化膜厚 (EOT) が 0.7 nm 以上であることを特徴とする半導体装置。

【請求項 3】 半導体基板上に形成された高誘電体 B からなる第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された拡散防止機能を有する高誘電体 C からなる第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記第 1 の絶縁膜と前記第 2 の絶縁膜との総和からなる高誘電率絶縁膜の膜厚が 2.8 nm 以上であることを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、前記ゲート電極はシリコン以外の金属で形成されて、前記高誘電率絶縁膜の換算酸化膜厚 (EOT) が 0.8 nm 以上であることを特徴とする半導体装置。

【請求項 5】 半導体基板上に形成された拡散防止機能を有する高誘電体 A からなる第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成された高誘電体 B からなる第 2 の絶縁膜と、前記第 2 の絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記第 1 の絶縁膜と前記第 2 の絶縁膜との総和からなる高誘電率絶縁膜の膜厚が 2.8 nm 以上であることを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、前記ゲート電極はシリコンで形成されて、前記高誘電率絶縁膜の換算酸化膜厚 (EOT) が 1.1 nm 以上であることを特徴とする半導体装置。

【請求項 7】 半導体基板上に形成された高誘電体 B からなる絶縁膜と、前記絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記絶縁膜だけからなる高誘電率絶縁膜の膜厚が 3.2 nm 以上であることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置において、前記ゲート電極はシリコンで形成されて、前記高誘電率絶縁膜の換算酸化膜厚 (EOT) が 1.6 nm 以上であることを特徴とする半導体装置。

【請求項 9】 請求項 1～8 のいずれか 1 項に記載の半導体装置において、

前記高誘電率絶縁膜の膜厚が 5.0 nm 以下であることを特徴とする半導体装置。

【請求項 10】 請求項 1～8 のいずれか 1 項に記載の半導体装置において、

高誘電体 B がハフニウムまたはジルコニウムの酸化物であることを特徴とする半導体装置。

【請求項 11】 請求項 1～4 のいずれか 1 項に記載の半導体装置において、

拡散防止機能を有する高誘電体 C がハフニウムまたはジルコニウムの酸化物に少なくとも窒素またはシリコンを含有することを特徴とする半導体装置。

【請求項 12】 請求項 1, 2, 5 または 6 に記載の半導体装置において、

拡散防止機能を有する高誘電体 A がシリコン窒化物またはシリコン窒化酸化物であることを特徴とする半導体装置。

【請求項 13】 請求項 1, 2, 5 または 6 に記載の半導体装置において、

拡散防止機能を有する高誘電体 A がハフニウムまたはジルコニウムの酸化物に少なくとも窒素またはシリコンを含有することを特徴とする半導体装置。

【請求項 14】 請求項 10～13 のいずれか 1 項に記載の半導体装置において、

前記高誘電率絶縁膜の膜厚が 5.0 nm 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電体（高誘電率材料）からなるゲート絶縁膜を有する半導体装置に関する。

【0002】

【従来の技術】近年の半導体装置における高集積化及び高速化に対する技術進展に伴い、MOSFET の微細化が進められている。微細化に伴いゲート絶縁膜の薄膜化を進めると、トンネル電流によるゲートリーク電流の増大といった問題が顕在化してくる。この問題を抑制するために、 HfO_2 、 ZrO_2 、 La_2O_3 、 TiO_2 または Ta_2O_5 等の高誘電率材料を用いたゲート絶縁膜（以下、High-K 膜）により、薄い SiO_2 膜と等価な換算酸化膜厚（以下、EOT: Equivalent Oxide Thickness）を実現しながら物理的な膜厚を厚くするという手法が研究されている。

【0003】また、昨今のシステム LSI においては、演算処理を行う内部回路、入出力を受け持つ周辺回路、DRAM など、複数の機能を持つ回路を一つのチップに集積することが一般的となっている。このようなシステム LSI を構成する MOSFET には、駆動力を維持しつつリーク電流が小さいことが求められる。

【0004】従来の High-K 膜の形成方法は特開 2000-58832 号 (United States Patent No.

6,013,553)に記載されたものが知られている。図1は、従来例の高誘電体オキシ窒化ジルコニウムまたは高誘電体オキシ窒化ハフニウムを有する電界効果型半導体装置の構造を示す模式図である。図1において、Si基板11の上にエピタキシャルSi層12を形成し、デバイスは半導体チャネル領域13の上に形成される。これらの構造の基板に対し、 1.33×10^{-1} Paの酸素雰囲気内で、600~700℃で約30秒間加熱することによって、好ましくは1nm未満の酸化物を形成する。この酸化膜は、厳密にはシリコン酸化膜でないオキシ窒化シリコン膜の超薄膜を用いることもできる。その後、この酸化膜はそのまま残されるか、希釈HFにより取り除かれて水素終端されるか、または超高真空(1.33×10^{-6} Pa)のクラスターツール中で780℃程度のアニールで昇華されて原子的平滑なSi表面を形成するか、これらのいずれかの方法により処理される。

【0005】基板がクリーンなSi表面、酸化物層または保護障壁層のいずれかを持つように処理された後、この上にスパッタ、化学気相成長(CVD)またはプラズマCVD等により、ジルコニウム金属またはハフニウム金属を形成する。さらに、NOまたはN₂Oのような酸素と窒素を含むガスでの酸化処理、低温遠隔N₂/O₂プラズマ処理、またはNH₃遠隔プラズマ窒化とその後の酸化処理等により、オキシ窒化ジルコニウムまたはオキシ窒化ハフニウムからなるゲート誘電体層14に変換する。その後、Ar等の不活性雰囲気中または還元性雰囲気中で、750℃、20秒のアニールにより緻密化する。

【0006】以上のようにして、オキシ窒化ジルコニウムまたはオキシ窒化ハフニウムの多結晶もしくは非晶質のゲート誘電体層14が形成される。その後、ゲート電極15が蒸着される。このようなオキシ窒化ジルコニウムまたはオキシ窒化ハフニウムからなるゲート誘電体層14は、SiO₂の比誘電率よりも著しく高い比誘電率を有する。

【0007】また、オキシ窒化ジルコニウムまたはオキシ窒化ハフニウムからなるゲート誘電体層14には、半導体チャネル領域13の近傍にSiO₂の組成に近いジルコニウムシリケート層またはハフニウムシリケート層が自然に形成されている。高誘電率材料とシリコンとの3元系化合物からなるシリケート材料は、一般的に元になる高誘電率材料(非シリケート層)より誘電率が低い。

【0008】

【発明が解決しようとする課題】しかしながら、前述した従来例には、致命的な課題があることを我々は実験を通して見出した。この課題とは臨界物理膜厚以下の膜厚において、突き抜け酸素の影響により最も重要視すべきパラメーターであるEOTが急激に増加し、安定したEOTを形成できなくなることである。

【0009】さらにこの課題について分かりやすく説明する。小さいEOTを得るための主な方法として、ゲート絶縁膜の膜厚を薄くする手法が挙げられる。我々は実験において、物理膜厚を薄くしていくとEOTが直線的に減少していく(一般的に予想される傾向)が、ある臨界物理膜厚を境に逆に急激にEOTが増加していく傾向(一般的でない異常な傾向)を詳細な実験を行うことにより新たに見出した。前述のように絶縁膜自体は、相対的に誘電率の低いシリケート層とHigh-K層との積層構造によりゲート絶縁膜が構成される。High-K層ではアニールにより結晶化が進むため、結晶化した粒界を介した酸素の拡散が起りやすく、不要なSiO₂層をSi基板側の界面に形成してしまう。しかし、突き抜け酸素に起因する不要なSiO₂層は、通常Si基板近傍に自然に形成されるシリケート層に、さらに追加して形成されることになる。また、このような突き抜け酸素は膜内で不均一に起こるため、安定なEOTを実現できない。ちなみに、通常Si基板近傍に自然に形成されるシリケート層だけの場合は、その膜厚もほぼ一定しており、EOTも安定している。

【0010】さらに、突き抜け酸素に起因する不要なSiO₂層に伴い、ゲートのリーク電流(J_g)もバラツキが増加し、ある臨界点を境にして急激に増加するので理想的なEOTとリーク電流を保持できなくなるという問題があることを我々は見出した。

【0011】つまり、本発明の第1の実施形態で解決しようとする課題に関しては、前述した従来例である臨界物理膜厚以下の膜厚において突き抜け酸素の影響が顕著に増加し、最も重要視すべきパラメーターであるEOTが急激に増加し、しかもそのEOTおよびリーク電流にバラツキを生み、安定したEOTやリーク電流を保持できなくなるという致命的な問題があった。

【0012】また、本発明の第2の実施形態で解決しようとする課題に関しては、ある膜厚以上で急激に高誘電体膜の表面ラフネスが増加するという問題があった。

【0013】

【課題を解決するための手段】上記の課題を解決するために、本発明に係る第1の半導体装置は、半導体基板上に形成された拡散防止機能を有する高誘電体Aからなる第1の絶縁膜と、前記第1の絶縁膜上に形成された高誘電体Bからなる第2の絶縁膜と、前記第2の絶縁膜上に形成された拡散防止機能を有する高誘電体Cからなる第3の絶縁膜と、前記第3の絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記第1の絶縁膜と前記第2の絶縁膜と前記第3の絶縁膜との総和からなる高誘電率絶縁膜の膜厚が2.4nm以上であることを特徴とする。

【0014】この構成によって、EOTを理想的な値に制御でき、安定したEOTと良好なリーク電流特性を実現できる。

【0015】上記の半導体装置において、前記ゲート電極はシリコン以外の金属で形成されて、前記高誘電率絶縁膜の換算酸化膜厚（EOT）が0.7nm以上であることが好ましい。

【0016】また、本発明に係る第2の半導体装置は、半導体基板上に形成された高誘電体Bからなる第1の絶縁膜と、前記第1の絶縁膜上に形成された拡散防止機能を有する高誘電体Cからなる第2の絶縁膜と、前記第2の絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記第1の絶縁膜と前記第2の絶縁膜との総和からなる高誘電率絶縁膜の膜厚が2.8nm以上であることを特徴とする。

【0017】この構成によって、EOTを理想的な値に制御でき、安定したEOTと良好なリーク電流特性を実現できる。

【0018】上記の半導体装置において、前記ゲート電極はシリコン以外の金属で形成されて、前記高誘電率絶縁膜の換算酸化膜厚（EOT）が0.8nm以上であることが好ましい。

【0019】また、本発明に係る第3の半導体装置は、半導体基板上に形成された拡散防止機能を有する高誘電体Aからなる第1の絶縁膜と、前記第1の絶縁膜上に形成された高誘電体Bからなる第2の絶縁膜と、前記第2の絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記第1の絶縁膜と前記第2の絶縁膜との総和からなる高誘電率絶縁膜の膜厚が2.8nm以上であることを特徴とする。

【0020】この構成によって、EOTを理想的な値に制御でき、安定したEOTと良好なリーク電流特性を実現できる。

【0021】上記の半導体装置において、前記ゲート電極はシリコンで形成されて、前記高誘電率絶縁膜の換算酸化膜厚（EOT）が1.1nm以上であることが好ましい。

【0022】また、本発明に係る第4の半導体装置は、半導体基板上に形成された高誘電体Bからなる絶縁膜と、前記絶縁膜上に形成されたゲート電極とを備えた半導体装置において、前記絶縁膜だけからなる高誘電率絶縁膜の膜厚が3.2nm以上であることを特徴とする。

【0023】この構成によって、EOTを理想的な値に制御でき、安定したEOTと良好なリーク電流特性を実現できる。

【0024】上記の半導体装置において、前記ゲート電極はシリコンで形成されて、前記高誘電率絶縁膜の換算酸化膜厚（EOT）が1.6nm以上であることが好ましい。

【0025】また、第1、第2、第3または第4の半導体装置において、前記高誘電率絶縁膜の膜厚が5.0nm以下であることを特徴とする。

【0026】この構成によって、平滑な表面を有するゲ

ート絶縁膜を実現できる。

【0027】さらに、第1、第2、第3または第4の半導体装置において、高誘電体Bがハフニウムまたはジルコニウムの酸化物であることが好ましい。

【0028】また、第1または第2の半導体装置において、拡散防止機能を有する高誘電体Cがハフニウムまたはジルコニウムの酸化物に少なくとも窒素またはシリコンを含有することが好ましい。

【0029】また、第1または第3の半導体装置において、拡散防止機能を有する高誘電体Aがシリコン窒化物またはシリコン窒化酸化物であることが好ましい。

【0030】また、第1または第3の半導体装置において、拡散防止機能を有する高誘電体Aがハフニウムまたはジルコニウムの酸化物に少なくとも窒素またはシリコンを含有することが好ましい。

【0031】

【発明の実施の形態】（第1の実施形態の1）以下、本発明の第1の実施形態について、図2～図4を参照しながら説明する。

【0032】図2は、本発明の第1の実施形態に関わる半導体装置の製造方法の工程断面図を示す。まず、（100）面を有するSi基板21上に素子分離用の絶縁膜22を形成し、デバイス領域23を形成する。この後、標準のRCA洗浄と希釈HF洗浄の後に、Si基板21の表面をNH₃ガス中に600～700℃の温度で10～30秒ほど曝してSi窒化膜24を形成する。この後、CVDソースを使用してCVD-HfO₂膜25を形成する。また、Si基板21上にSi窒化膜24を形成せずに、CVD-HfO₂膜25を直接形成する場合も検討した。

【0033】ここで、CVD-HfO₂膜25はキャリアガスとしてN₂を使用し、液体HfソースのHf-t-butoxide（C₁₆H₂₆HfO₄）を使用し、乾燥O₂と共に500℃でRT-CVD（Rapid Thermal CVD）処理を用いて形成する。この原料となる元素としては、Hf、O、C、Hが含有される。また、N₂ガスも含むが500℃の温度では非常に不活性であるため、N₂の寄与は非常に小さい。組成分析の結果、HfとOが主要な元素であってHfO₂という組成を持ち、その内部に数%以下の微量なCとHを含有する。

【0034】他方、別のCVDソースを使用した場合について説明する。CVD-HfO₂膜25はArをキャリアガスとし、Hf窒化物からなる固体ソースのHf-nitrato（Hf（NO₃）₄）を使用し、乾燥O₂と共に200℃でコールドウォールタイプのCVD装置を用いて形成する。この原料となる元素としては、Hf、O、Nが挙げられる。また、Arガスも含むが200℃の温度では非常に不活性であるため、Arの寄与は非常に小さい。組成分析の結果、HfとOが主要な元素であってHfO₂という組成を持ち、その内部に数%以下の微量な

Nを含有する。

【0035】次に、MOSFET（ここではnMOS）を形成するため、CVD-HfO₂膜25の上にゲート電極26としてPoly-Si膜またはPVD-TiN/Al膜を形成する実験を行った。

【0036】Poly-Si膜の場合の電極形成について説明する。CVD-HfO₂膜25の堆積後、N₂中で600～800℃の温度でアニール（以下、PDA）を行った後、SiH₄を用いたCVDによりPoly-Si膜26を540℃の温度で形成した。その後、5×10¹⁵cm⁻²のPイオン注入した後、ゲート電極のパターンニングを行った。活性化のアニールは乾燥N₂中で900℃、30秒のRTPにより行われた。

【0037】また、メタルゲートの場合の電極形成について説明する。CVD-HfO₂膜25の堆積後、N₂中で600～800℃の温度でPDAを行った後、ArスパッタによるPVD法によりバリアメタルと導電体からなるTiN/Al膜26を形成した。バリアメタルの材料としてはTa₂Nを使用してもよい。このメタルゲートの場合、バリアメタルに窒素を含有するため、CVD-HfO₂膜25の上層部に窒素が導入されて酸素の拡散防止機能を有した窒素含有層27を同時に形成できる。

【0038】なお、このように形成されたCVD-HfO₂膜25のEOTは、LCRメーターによりCV測定され、電極の空乏層や基板側の量子化効果を考慮したシミュレーションプログラムにより算出された。

【0039】次に、上記の実験により作成されたHigh-K膜を有するゲート構造は3つのタイプがあり、図3を参照しながら説明する。図3において、タイプ31、タイプ32およびタイプ33は以下のように構成されている。

【0040】タイプ31は、Si基板21上にSi窒化膜24を形成し、その上にCVD-HfO₂膜25を形成し、その上にTiN/Al膜26を形成した場合である。High-K膜25とSi基板21の界面にはSi窒化膜24からなる拡散防止膜が存在し、かつ、High-K膜25とTiN/Al膜26の界面にも窒素を含有するCVD-HfO₂層27からなる拡散防止膜が存在する。このタイプ31は、上界面と下界面どちらにも拡散防止膜がある場合である。

【0041】タイプ32は、Si基板21上にSi窒化膜24を形成し、その上にCVD-HfO₂膜25を形成し、その上にPoly-Si膜26を形成した場合が1つのケースである。またこれとは別に、Si窒化膜24を形成せず、Si基板21上に直接CVD-HfO₂膜25を形成し、その上にTiN/Al膜26を形成した場合がもう1つのケースである。つまり、High-K膜25とSi基板21の界面にはSi窒化膜24からなる拡散防止膜が存在するか、もしくは、High-K膜25とTiN/Al膜26の界面には窒素を含有する

CVD-HfO₂層27からなる拡散防止膜が存在する場合に対応する。このタイプ32は、上界面もしくは下界面のどちらか一方にのみ拡散防止膜がある場合である。なお、図中の波線は、拡散防止膜がない場合にSi基板21またはPoly-Si膜26とHigh-K膜25とが反応した界面を模式的に表示している。

【0042】タイプ33は、Si窒化膜24を形成せず、Si基板21上に直接CVD-HfO₂膜25を形成し、その上にPoly-Si膜26を形成した場合である。High-K膜25とSi基板21の界面には拡散防止膜が存在せず、かつ、High-K膜25とゲート電極26の界面にも拡散防止膜が存在しない場合に対応する。このタイプ33は上界面と下界面どちらにも拡散防止膜がない場合である。なお、図中の波線はタイプ32と同様に、Si基板21またはPoly-Si膜26とHigh-K膜25とが反応した界面を模式的に表示している。

【0043】次に、本発明に至った実験結果について図4を参照しながら説明する。図4の実験データの傾向について、図中の（1）～（6）の番号順に説明する。縦軸はEOTを示し、横軸は成膜時のエリプソメトリーで測定した物理膜厚を示す。

【0044】通常、高誘電率絶縁膜の物理膜厚を薄膜化させることでEOTを下げる事ができる。（1）比較的厚い絶縁膜を形成した場合、EOTも比較的高い値を示す。（2）順次、薄い物理膜厚の絶縁膜を形成していくと、直線的にEOTが減少していく。（3）ある臨界の物理膜厚に到達したとき、最小のEOTを示す。（4）この臨界物理膜厚よりも薄膜化を進めると、急にEOTが増加してしまう。ある臨界膜厚よりも薄い場合、成膜中または成膜後の処理中に残留酸素が高誘電率絶縁膜を拡散して、Si基板との界面に不要なSiO₂層を形成してしまう。このため、物理膜厚を薄膜化しても理想的な場合（（6）へ向かう点線）から大きく外れてしまう。（5）さらに薄膜化を進めた場合、異常なEOTを示すこととなる。（6）理想的な場合に、点線が通常考えられる傾向である。

【0045】しかしながら、いままでSiO₂膜またはSiON膜で一般的に考えられてきた傾向とは異なり、我々は詳細な実験を通して、High-K膜特有の臨界物理膜厚が存在する現象を見出した。この現象は、ある臨界膜厚を境にEOTが理想直線から大きく外れることである。

【0046】一方、ITRS（International Technology Roadmap for Semiconductors, 1999 Edition）の124ページの表34aに記載されているように、2005年の100nmノードCMOSにおいて、要求されるEOTは1.0～1.5nmであり、また要求されるEOTの均一性は±4%以内である。これらの技術的スペックを踏まえると、安定でかつ薄いEOTを実現す

るHigh-K膜を形成することがシリコンLSIプロセスに要求されている。この技術動向からも、本発明で提案する臨界物理膜厚は非常に重要な意味を持つ。つまり、図4の(3)で示した臨界物理膜厚以上の高誘電率絶縁膜を形成し、所望のEOTを実現することが必須となる。

【0047】次に、本発明に至った実験結果について図5～図7を参照しながら詳しく順に説明する。図5において、丸のデータは図3で示したタイプ32の結果であり、菱形のデータはタイプ31の結果を示す。物理膜厚を薄くしていくとEOTが直線的に減少していくが、2.4nmの臨界物理膜厚を境に、逆にEOTが急激に増加していく傾向を示す。タイプ31は上下の界面に拡散防止膜を形成しているため、タイプ32と比較して同じ物理膜厚でもその分布は薄いEOT側に位置している。つまり、拡散防止機能の効果が確認できる。

【0048】図6において、丸と菱形のデータは図3で例示したタイプ32の傾向を示す。上下の内どちらかの界面に拡散防止膜を形成した場合には、物理膜厚を薄くしていくとEOTが直線的に減少していくが、2.8nmの臨界物理膜厚を境に、逆にEOTが急激に増加していく傾向を示す。

【0049】図7において、黒丸のデータは図3で示したタイプ33の結果を示す。上下の界面に拡散防止膜を形成しない場合には、物理膜厚を薄くしていくとEOTが直線的に減少していくが、3.2nmの臨界物理膜厚を境に、逆にEOTが急激に増加していく傾向を示す。

【0050】なお、図5～図7で示した実験結果において、同じ物理膜厚に対するEOTのバラツキは、PDAの温度および活性化の温度等による影響を示している。プロセスが最適化できた場合には、同じ物理膜厚に対するEOTのバラツキは最も小さい値を示し、図5～図7で示した直線のところに位置する。成膜膜厚を臨界物理膜厚より薄くした場合、酸素が拡散して突き抜けてしまい、急激にEOTが増加するため、同じチップ内やウエハ内においてもEOTのバラツキが大きくなり制御不能となる。このため、成膜膜厚を臨界物理膜厚より厚くすることは必須となる。

【0051】次に、CVD-HfO₂を成膜した後のプロセスについて説明する。PDA中の残留酸素、Poly-Si成膜時の巻き込み酸素、PVDのメタル蒸着中の残留酸素およびPoly-Si膜を活性化するアニール中の残留酸素等の影響によって、プロセス中の雰囲気からHfO₂膜に酸素が拡散することを完全に防ぐことは非常に難しい。純粋なN₂を使用してもppmオーダーの残留酸素があり、プロセスの処理時間を考慮すると表面に暴露される酸素の量は無視できない。また、Poly-Siの活性化アニールでは900～1000℃の高温を用いるので、この温度では酸化自体を促進する。PDAを行った後、エリプソメトリーで測定した物理膜

厚がある臨界物理膜厚よりも薄いと、その後のゲート電極形成および活性化のアニール等で表面から微量の酸素が拡散し、Si基板に達した時には結果的に0.数nmのSiO₂を形成してしまう。この場合、全体のEOTが1.0nmという極薄の膜に対して、0.数nmの値の増加は、EOTとして数10%程度の増加を意味し、High-K膜としては致命的な問題である。このように微量酸素の影響に関して考えると、酸素自体が表面から拡散する機構が主であるため物理膜厚に非常に影響され、一旦酸素が拡散してしまうと、同じチップ内やウエハ内においてもEOTのバラツキが顕著となる。

【0052】したがって、安定してEOTを制御するためには、成膜後の物理膜厚に最小臨界膜厚を設ける必要があることを我々は見出した。この事実は、従来予想されていた延長線上で物理膜厚の薄膜化を進めた場合に、実際には新しい現象が極薄のHigh-K膜で観察され、我々はその実験を通して課題を見出したと共に、その原因を吟味し、解決策を検討した。

【0053】以上の結果から、タイプ31は上界面と下界面どちらにも拡散防止膜がある場合であって、物理膜厚は2.4nm以上必要である。また、タイプ32は上界面もしくは下界面どちらか一方に拡散防止膜がある場合であって、物理膜厚は2.8nm以上必要である。また、タイプ33は上界面と下界面どちらにも拡散防止膜がない場合であって、物理膜厚は3.2nm以上必要である。

【0054】(第1の実施形態の2)前述の臨界物理膜厚の説明に加え、その臨界物理膜厚の前後でのEOTとリーク電流特性の相関について、図8～図12を参照しながらさらに説明する。図8～図12は、EOTに対するゲート電圧が-1Vでのリーク電流を示し、図3に示すタイプに分けて説明する。

【0055】タイプ31は上界面と下界面どちらにも拡散防止膜がある場合であって、そのリーク電流特性を図9に示す。High-K膜の膜厚が非常に薄い場合は、プロセス起因の巻き込み酸素によりSi基板側で酸化が起こり、タイプ31からタイプ32に変化するところがあり、図中の点線で示してある。最小のEOTは約0.7nmである。したがって、EOTが0.7nm以上でかつリーク電流が10⁻³A/cm²以下の特性を示すゲート絶縁膜を使用することが、良好なリーク電流特性を示すので望ましい。これ以外の範囲では、同じEOTにおいても非常に高いリーク電流を示しゲート絶縁膜としては不適切であり、変曲点を境に同じEOTでみると数桁以上も高いリーク電流を示す。

【0056】タイプ32は上界面もしくは下界面どちらか一方に拡散防止膜がある場合であって、ゲート電極にTiN/Al膜を使用した場合のリーク電流特性を図10に示す。最小のEOTは約0.8nmである。したがって、EOTが0.8nm以上でかつリーク電流が10

10^{-1}A/cm^2 以下の特性を示すゲート絶縁膜を使用することが、良好なリーク電流特性を示すので望ましい。これ以外の範囲では、同じEOTにおいても非常に高いリーク電流を示しゲート絶縁膜としては不適切であり、変曲点を境に同じEOTでみると数桁以上も高いリーク電流を示す。

【0057】また、タイプ32でゲート電極にPoly-Si膜を使用した場合のリーク電流特性を図11に示す。High-K膜の膜厚が非常に薄い場合は、プロセス起因の巻き込み酸素によりSi基板側で酸化が起こり、タイプ32からタイプ33に変化するところがあり、図中の点線で示してある。最小のEOTは約1.1nmである。したがって、EOTが1.1nm以上でかつリーク電流が $5 \times 10^{-4} \text{A/cm}^2$ 以下の特性を示すゲート絶縁膜を使用することが、良好なリーク電流特性を示すので望ましい。これ以外の範囲では、同じEOTにおいても非常に高いリーク電流を示しゲート絶縁膜としては不適切であり、変曲点を境に同じEOTでみると数桁以上も高いリーク電流を示す。

【0058】タイプ33は上界面と下界面どちらにも拡散防止膜がない場合であって、そのリーク電流特性を図12に示す。最小のEOTは約1.6nmである。したがって、EOTが1.6nm以上でかつリーク電流が 10^{-2}A/cm^2 以下の特性を示すゲート絶縁膜を使用することが、良好なリーク電流特性を示すので望ましい。これ以外の範囲では、同じEOTにおいても非常に高いリーク電流を示しゲート絶縁膜としては不適切であり、変曲点を境に同じEOTでみると数桁以上も高いリーク電流を示す。

【0059】以上の内容をまとめて説明する。図8に示すように、EOTに対するリーク電流の特徴を調べた結果、Si基板側にも電極側にも拡散防止膜に用いない場合のタイプ33では、同じEOTに対してもっともリーク電流が高い。Si基板とHigh-K膜の界面にSi窒化膜を拡散防止膜に用いた場合、またはHigh-K膜とゲート電極の界面に窒素含有層の拡散防止膜を用いた場合のタイプ32では、同じEOTに対してリーク電流を低減できる。さらに、下界面および上界面ともに拡散防止膜を用いた場合のタイプ31では、リーク電流をもっとも低減できる。

【0060】つまり、本発明の第1の実施形態において、Si基板とHigh-K膜の界面にSi窒化膜（窒化絶縁膜）からなる拡散防止膜が存在し、かつHigh-K膜とゲート電極（窒素含有バリアメタル）の界面に窒素を含有するCVD-HfO₂層（窒素含有絶縁層）からなる拡散防止膜が存在する場合には、EOTは0.7nm以上で、かつ物理膜厚は2.4nm以上であるHigh-K膜を用いることにより、安定したEOTと良好なリーク電流特性を実現できる。

【0061】また、Si基板とHigh-K膜の界面に

Si窒化膜（窒化絶縁膜）からなる拡散防止膜が存在せず、High-K膜とゲート電極の界面に窒素を含有するCVD-HfO₂層（窒素含有絶縁層）からなる拡散防止膜が存在する場合には、EOTが0.8nm以上で、かつ物理膜厚が2.8nm以上であるHigh-K膜を用いることにより、安定したEOTと良好なリーク電流特性を実現できる。

【0062】また、High-K膜とゲート電極の界面に窒素を含有するCVD-HfO₂層（窒素含有絶縁層）からなる拡散防止膜が存在せず、Si基板とHigh-K膜の界面にSi窒化膜（窒化絶縁膜）からなる拡散防止膜が存在する場合には、EOTが1.1nm以上で、かつ物理膜厚が2.8nm以上であるHigh-K膜を用いることにより、安定したEOTと良好なリーク電流特性を実現できる。

【0063】また、Si基板とHigh-K膜の界面にSi窒化膜（窒化絶縁膜）からなる拡散防止膜が存在せず、High-K膜とゲート電極の界面に窒素を含有するCVD-HfO₂層（窒素含有絶縁層）からなる拡散防止膜が存在しない場合に、EOTが1.6nm以上で、かつ物理膜厚が3.2nm以上であるHigh-K膜を用いることにより、安定したEOTと良好なリーク電流特性を実現できる。

【0064】以上のように本発明の第1の実施形態において、所定の臨界物理膜厚以上で、所定のEOT以上である高誘電率絶縁膜を用いることにより、EOTを理想的な値に制御でき、安定したEOTと良好なリーク電流特性を実現できる。

【0065】（第2の実施形態）以下、本発明の第2の実施形態について、図13と図14を参照しながら説明する。

【0066】図13において、成膜後の物理膜厚に対する原子間力顕微鏡（AFM）による表面ラフネス（Surface Roughness）の値（以下、RMS）を示した。堆積前のSi基板のRMSは0.15nm程度である。デポにより物理膜厚を増加させていくと、約3.8nm以上からRMSが急激に増加する。この表面ラフネスの結果は、堆積温度を200～500℃に変えた範囲、および成膜時の混合酸素分圧比を0～90%に変えた範囲内でも統一的な傾向を示した。

【0067】このような表面ラフネスのある絶縁膜に電界をかけた時、ゲート絶縁膜の薄い部分では電界集中を引き起こすため信頼性を悪くする。また面内でのリーク電流のバラツキも生じる。これらの問題を解決するためには、表面ラフネスを低減する必要がある。

【0068】また、ITRS（International Technology Roadmap for Semiconductors, 1999 Edition）の119ページの表33aを参照すると、2005年の100nmCMOSレベルでは、ゲート絶縁体をSiO₂として考えた場合に、表面ラフネスは0.1nm以下

が要求されている(121ページの注釈[L]を参照)。

【0069】本発明で説明した高誘電率材料は比誘電率が約13以上を有するため、要求される表面ラフネスをEOTを基準に換算すると、RMSを約0.3nm以下にすることが要求される。このため、RMSを0.3nm以下に抑えるには、図13の結果から物理膜厚は少なくとも約5.0nm以下にすることが必要である。

【0070】以上のように、本発明の第2の実施形態において、物理膜厚は5.0nm以下である高誘電率絶縁膜を用いることにより、平滑な表面を有するゲート絶縁膜が形成できる。

【0071】なお、本発明の第1と第2の実施形態で示した成膜時の物理膜厚の適応範囲を図14にまとめた。図3で示したタイプ31は上界面と下界面どちらにも拡散防止膜がある場合であって、物理膜厚が2.4nm以上で5.0nm以下の範囲が必要である。また、タイプ32は上界面もしくは下界面どちらか一方に拡散防止膜がある場合であって、物理膜厚が2.8nm以上で5.0nm以下の範囲が必要である。また、タイプ33は上界面と下界面どちらにも拡散防止膜がない場合であって、物理膜厚が3.2nm以上で5.0nm以下の範囲が必要である。

【0072】なお、本発明の第1と第2の実施形態において、Si基板とCVD-HfO₂膜の界面にSi窒化膜からなる拡散防止膜を形成する方法は、NH₃、NOまたはN₂O等の窒素を含むガス中での熱窒化またはプラズマ窒化等の窒化処理を用いてもよい。

【0073】また、CVD-HfO₂膜とゲート電極の界面に窒素含有絶縁層からなる拡散防止膜を形成する方法は、ゲート電極形成前にCVD-HfO₂膜自体を窒素を含むガス中での窒素プラズマ処理を用いてもよい。または、窒素を含むガスを添加したArスパッタによりバリアメタル(TiNまたはTa₂N₅等)を蒸着形成する初期部分に、自動的にCVD-HfO₂膜の上層部が窒素プラズマ処理される方法を用いてもよい。さらに、CVD-HfO₂膜を堆積する最終部分に窒素を含むガスを導入して上層部を窒素含有の高誘電率絶縁膜とする方法を用いてもよい。

【0074】また、高誘電率絶縁膜になる金属窒化物(HfNまたはZrN等)を堆積した後、酸化処理をして膜中に窒素を含有するゲート絶縁膜を作ることできる。また、CVD-HfO₂膜を堆積形成する初期部分に窒素を含むガスを導入してSi基板側の下層部を窒素含有の高誘電率絶縁膜とする工程を設けてもよい。さらに、下界面の拡散防止機能を有する高誘電率絶縁膜、中間の高誘電率絶縁膜および上界面の拡散防止機能を有する高誘電率絶縁膜のすべてに窒素またはシリコンを含有してもよい。

【0075】なお、高誘電率絶縁膜はHfO₂を用いて

説明したが、ハフニウムをジルコニウムに代えてZrO₂を用いても本発明の効果は得られる。

【0076】また、HfO₂膜の形成には液体のHfソース(C₁₆H₃₆HfO₄)を用いたが、以下の材料を用いることもできる。CVD法で堆積する場合には、TDEAH(Tetrakis diethylamido hafnium、テトラキスジエチルアミドハフニウム、C₁₆H₄₀N₄Hf)、TDMAH(Tetrakis dimethylamino hafnium、テトラキスジメチルアミノハフニウム、C₈H₂₄N₄Hf)、およびHf(MMP)₄(Tetrakis 1-Methoxy-2-methyl-2-propoxy hafnium、テトラキス1メトキシ2メチル2プロポキシハフニウム、Hf[OC(CH₃)₂CH₂OCCH₃]₄)を使用することができる。また、固体ソース(例えばHf(NO₃)₄)も使用することができる。さらに、PVD法で堆積する場合には、ハフニウム(Hf)ターゲットに酸素およびアルゴンを加えた混合ガスを用いて形成することもできる。

【0077】さらに、臨界物理膜厚に関するEOTの挙動は、High-K膜の堆積時の組成または材料に関わらない反応として一般化できるため、本発明はHfO₂とZrO₂以外の、例えばTiO₂、Ta₂O₅、La₂O₃、CeO₂、Al₂O₃、BST等またはこれらの3元系酸化膜(例えば、Hf_xAl_yO₂)、さらにこれらにSiを予め含有するシリケート膜すべてに適応が可能である。

【0078】また、本発明の実施形態において、電極材料に他の金属を用いてもよい。TiNに代えて、高誘電率絶縁膜の表面を窒化処理した後、Ta₂N、Al、Ru、RuO₂またはこれらの材料にSiまたはGeを混ぜた材料でもよい。

【0079】

【発明の効果】以上説明したように、本発明の第1の実施形態において、Si基板とHigh-K膜の界面に窒化絶縁膜からなる拡散防止膜が存在し、かつHigh-K膜と電極の界面には窒素含有絶縁層からなる拡散防止膜が存在する場合に、物理膜厚が2.4nm以上である高誘電率絶縁膜を用いることにより、EOTを理想的な値に制御でき、安定したEOTと良好なりーク電流特性を実現できる。

【0080】また、本発明の第2の実施形態において、物理膜厚が5.0nm以下である高誘電率絶縁膜を用いることにより、平滑な表面を有するゲート絶縁膜を実現できる。

【図面の簡単な説明】

【図1】従来例のHigh-K膜を有する半導体装置の構造を示す模式図

【図2】本発明の第1の実施形態に関わる半導体装置の製造方法を示す工程断面図

【図3】本発明の第1の実施形態に関わるゲート構造の3タイプの説明図

【図4】本発明の第1の実施形態に関わる物理膜厚とEOTの説明図

【図5】本発明の第1の実施形態において拡散防止膜が上下の界面にある場合での物理膜厚とEOTの相関図

【図6】本発明の第1の実施形態において拡散防止膜が片方の界面のみにある場合での物理膜厚とEOTの相関図

【図7】本発明の第1の実施形態において拡散防止膜が上下の界面にない場合での物理膜厚とEOTの相関図

【図8】本発明の第1の実施形態に関わるEOTに対するリーク電流の特性図

【図9】本発明の第1の実施形態に関わるタイプ31のEOTに対するリーク電流の特性図

【図10】本発明の第1の実施形態に関わるタイプ32においてメタルゲートの場合のEOTに対するリーク電流の特性図

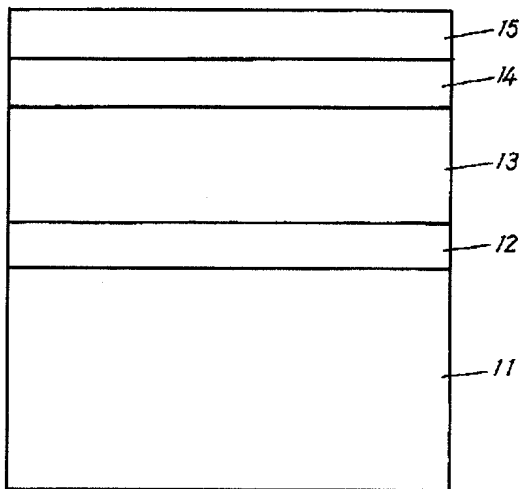
【図11】本発明の第1の実施形態に関わるタイプ32においてPoly-Siゲートの場合のEOTに対するリーク電流の特性図

【図12】本発明の第1の実施形態に関わるタイプ33のEOTに対するリーク電流の特性図

【図13】本発明の第2の実施形態に関わる物理膜厚と表面ラフネスの相関図

【図14】本発明の第1および第2の実施形態に関わる

【図1】

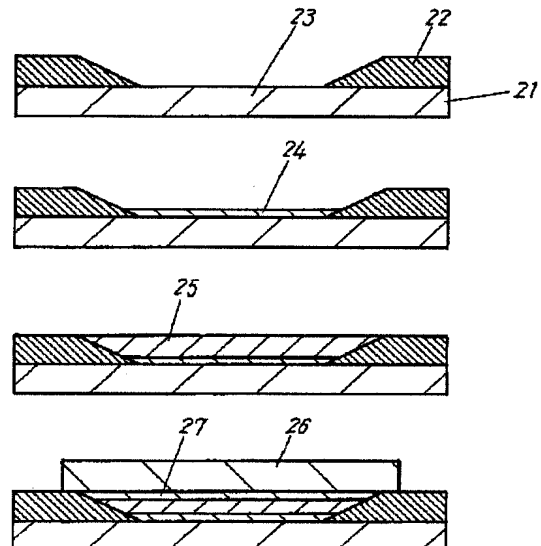


物理膜厚のプロセス範囲の説明図

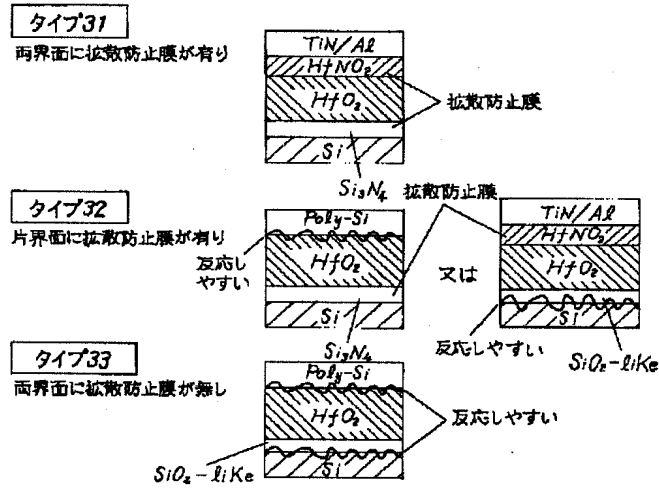
【符号の説明】

- 11 Si基板
- 12 エピタキシャルSi層
- 13 半導体チャネル領域
- 14 オキシ窒化ジルコニウムまたはオキシ窒化ハフニウムからなるゲート誘電体層
- 15 ゲート電極
- 21 Si基板
- 22 素子分離用の絶縁膜
- 23 デバイス領域
- 24 Si窒化膜からなる拡散防止膜
- 25 CVD-HfO₂膜からなるHigh-K膜
- 26 Poly-Si膜またはTiN/Al膜からなるゲート電極
- 27 窒素を含有するCVD-HfO₂層からなる拡散防止膜
- 31 Si基板/Si窒化膜/High-K膜/(TiN/Al膜)の構造
- 32 Si基板/Si窒化膜/High-K膜/Poly-Si膜またはSi基板/High-K膜/(TiN/Al膜)の構造
- 33 Si基板/High-K膜/Poly-Si膜電極の構造

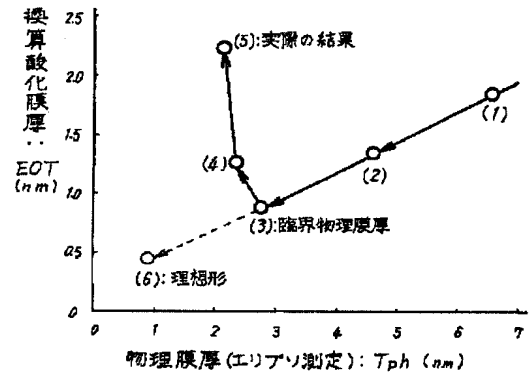
【図2】



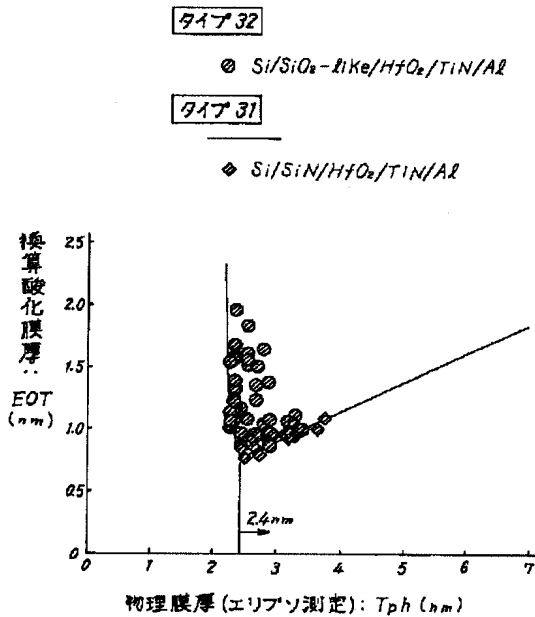
【図 3】



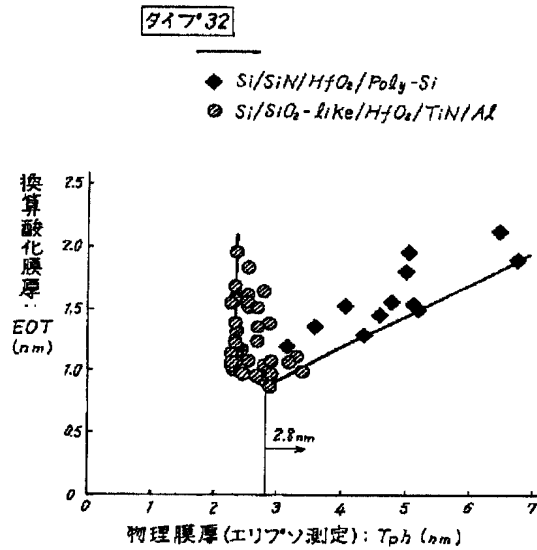
【図 4】



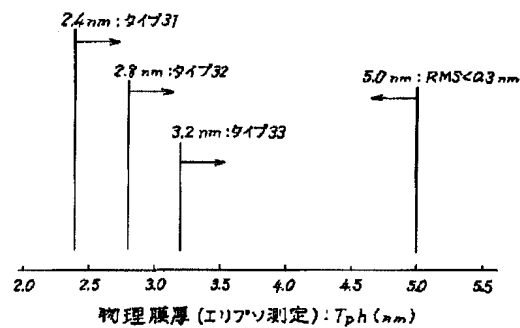
【図 5】



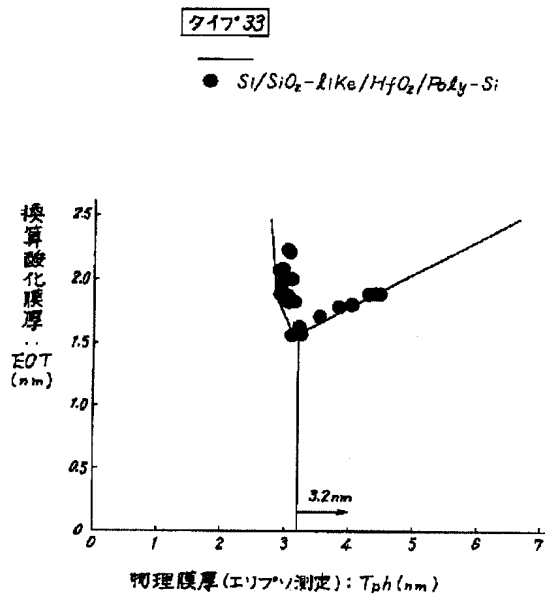
【図 6】



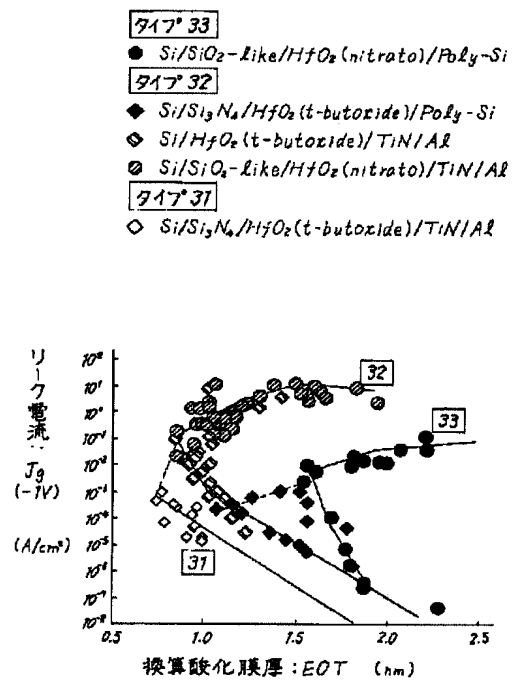
【図 1 4】



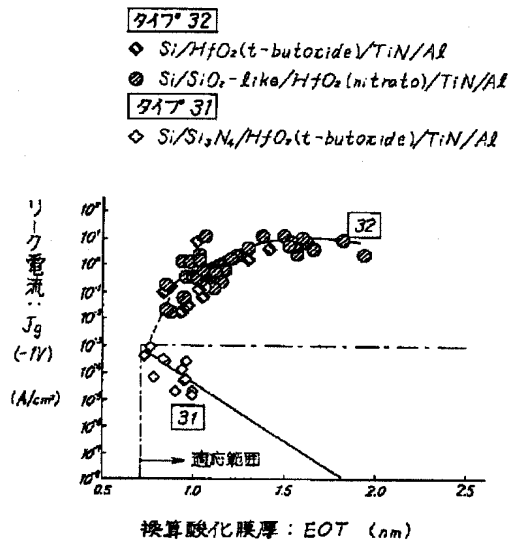
【図7】



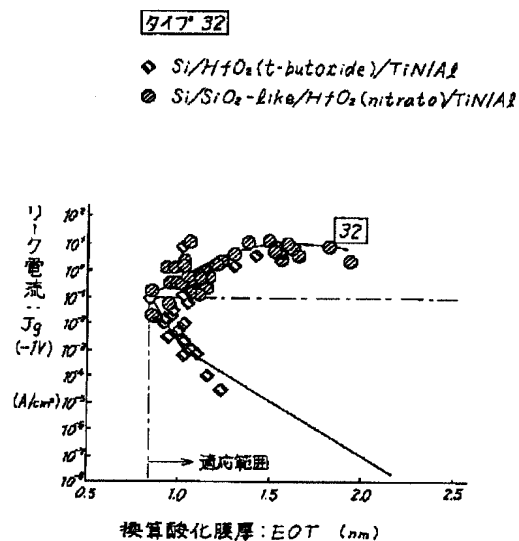
【図8】



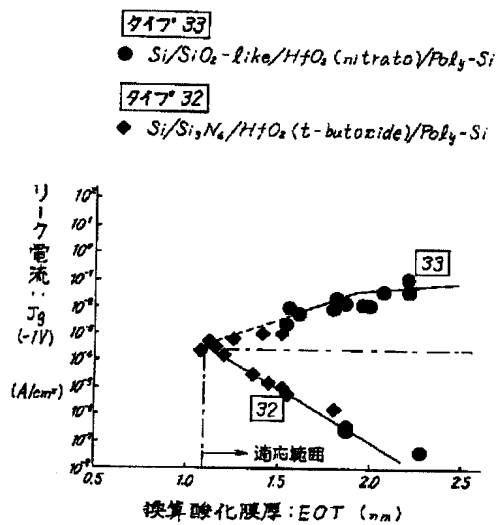
【図9】



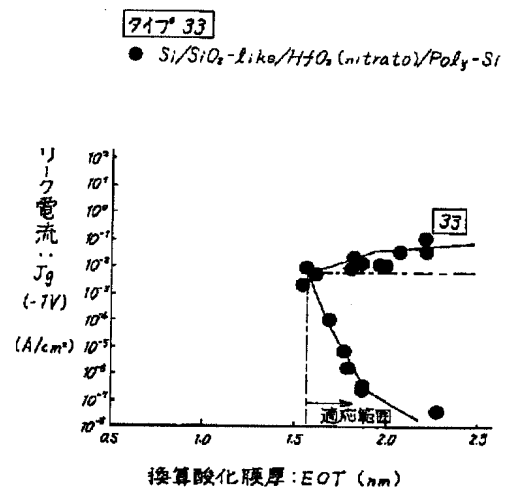
【図10】



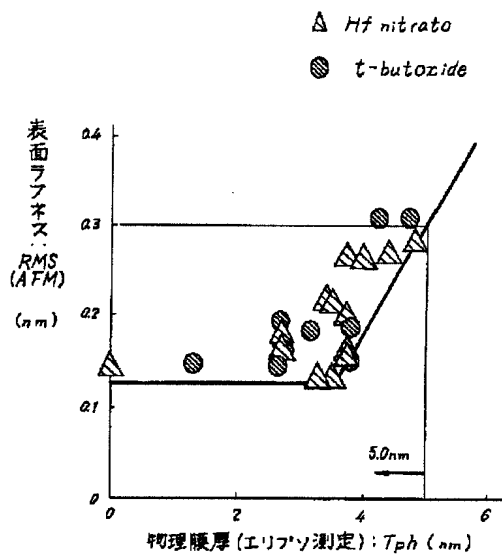
【図11】



【図12】



【図13】



フロントページの続き

Fターム(参考) 5F140 AA00 AA24 BA01 BD01 BD02
BD05 BD11 BD12 BD13 BD16
BD17 BE02 BE08 BE10 BE16
BF01 BF04 BF10 BF11 BF15
BF40 BG24 BG28 BG30 BG32
BG44 BG56 CB01